

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-333901

(43)Date of publication of application : 22.11.2002

(51)Int.CI.

G05B 15/02
B60R 16/02
F02D 45/00

(21)Application number : 2001-139082

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.05.2001

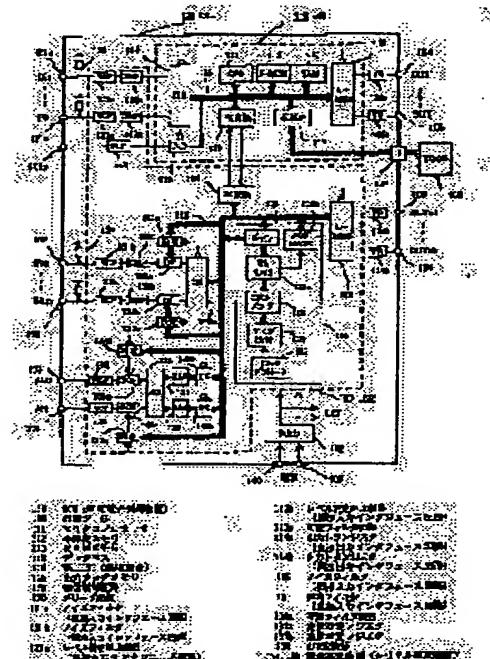
(72)Inventor : NAKAMOTO KATSUYA
KITSUTA MITSUHIRO
HASHIMOTO KOJI
GOKAN HIROSHI

(54) IN-VEHICLE ELECTRONIC CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize and standardize an on-vehicle electronic controller by improving its input filter circuit.

SOLUTION: Interface circuits 131a and 132a for direct input and an interface circuit 134a for direct output are connected to the data bus 118 of a microprocessor 111 having a non-volatile memory 112 in which a control program or the like is stored and an RAM memory 113 for arithmetic processing. An ON/OFF signal inputted from the interface circuit 131b and 132b for indirect output is transmitted through a variable filter circuit 133a whose filter constant is set by a constant setting register 137a and two-way serial communication circuits 126 and 116 to the RAM memory 113, and the filter constant stored in the non-volatile memory 112 is stored through the two-way serial communication circuits 116 and 126 in a constant setting register 137a.



LEGAL STATUS

[Date of request for examination] 24.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

JP2002333901

Publication Title:

On-vehicle electronic controller

Abstract:

To miniaturize and standardize an on-vehicle electronic controller by improving an input filter circuit in the device. Direct input interface circuits and a direct output interface circuit are connected to a data bus of a microprocessor, which has a nonvolatile memory for storing a control program and so on and a RAM memory for computing. ON/OFF signals inputted from indirect input interface circuits are transmitted to the RAM memory via a variable filter circuit, in which a filter constant is set by a constant setting register, and interactive serial communication circuits. A filter constant stored in the nonvolatile memory is stored in the constant setting register via the interactive serial communication circuits

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(51) Int.Cl.
G 0 5 B 15/02
B 6 0 R 16/02
F 0 2 D 45/00

識別記号

F I
G 0 5 'B 15/02
B 6 0 R 16/02
E 0 2 D 45/00

テ-マコ-ト⁺(参考)
3 G 0 8 4
5 H 2 1 5

審査請求 未請求 請求項の数9 OL (全 21 頁)

(21)出願番号 特願2001-139082(P2001-139082)

(22)出願日 平成13年5月9日(2001.5.9)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

中本 勝世

東京都千代田区丸の内二丁目2番3号

内社会株式有限公司

橋田 光弘

圖一 丸弧

東京都千代田区丸の内
森ビル株式会社内

支票號碼

100037874

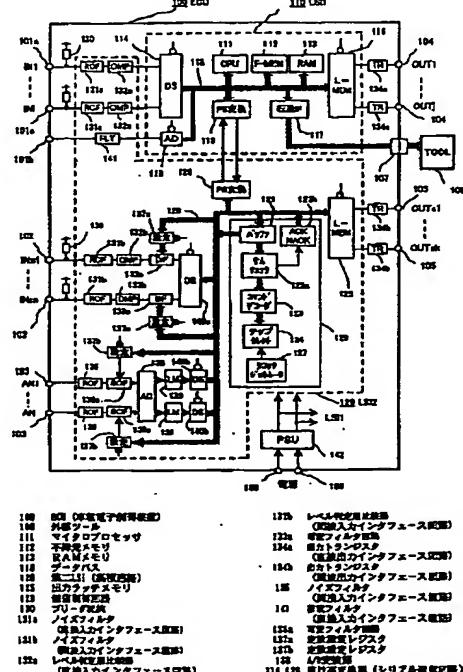
最終頁に統く

(54) 【発明の名称】 重載重子制御装置

(57) 【要約】

【課題】 車載電子制御装置の入力フィルタ回路を改善して、装置の小型化・標準化を行う

【解決手段】 制御プログラム等が格納された不揮発メモリ112と演算処理用RAMメモリ113を有するマイクロプロセッサ111のデータバス118には、直接入力用インターフェース回路131a、132a、直接出力用インターフェース回路134aが接続される。間接入力用インターフェース回路131b、132bから入力されたON/OFF信号は、フィルタ定数が定数設定レジスタ137aで設定される可変フィルタ回路133aと、双方向シリアル通信回路126、116を介してRAMメモリ113に送信され、不揮発メモリ112に格納されたフィルタ定数は、双方向シリアル通信回路116、126を介して定数設定レジスタ137aに格納される。



【特許請求の範囲】

【請求項1】 外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリ、および演算処理用のRAMメモリを有するマイクロプロセッサと、

該マイクロプロセッサのデータバスに接続された直接入力用インターフェース回路および直接出力用インターフェース回路、間接入力用インターフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、

上記間接入力用インターフェース回路を介して入力された複数の外部入力信号を上記RAMメモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路とを備えたことを特徴とする車載電子制御装置。

【請求項2】 上記間接入力用インターフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成されたON/OFF信号用のインターフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値が格納された定数設定レジスタによって構成され、上記入力確定レジスタの出力は、上記RAMメモリに送信され、上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値は上記不揮発メモリから上記定数設定レジスタに送信されることを特徴とする請求項1に記載の車載電子制御装置。

【請求項3】 上記間接入力用インターフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによって構成されたアナログ信号用のインターフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャバシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャバシタの出力は、A/D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は上記不揮発メモリから上記定数設定レジスタに送信されることを特徴とする請求項1に記載の車載電子制御装置。

【請求項4】 上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インターフェース回路を

介して外部負荷とに供給されることを特徴とする請求項1～3のいずれかに記載の車載電子制御装置。

【請求項5】 上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であることを特徴とする請求項1～4のいずれかに記載の車載電子制御装置。

【請求項6】 上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～5のいずれかに記載の車載電子制御装置。

【請求項7】 上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～6のいずれかに記載の車載電子制御装置。

【請求項8】 上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに続いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～7のいずれかに記載の車載電子制御装置。

【請求項9】 上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納することを特徴とする請求項1～8のいずれかに記載の車載電子制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば自動車用エンジンの燃料供給制御等に用いられるマイクロプロセッサを内蔵した電子制御装置、特に多数の入出力信号の

扱い方を改善して装置の小型化を図ると共に、各種車両の制御に対して装置の標準化を図るように改良された車載電子制御装置に関するものである。

【0002】

【従来の技術】図8は、従来のこの種電子制御装置における典型的なブロック回路図を示したものであり、1枚のプリント基板で構成されたECU（エンジンコントロールユニット）1は大型のLSI（集積回路部品）2を主体とし、このLSI2はCPU（マイクロプロセッサ）3、不揮発フラッシュメモリ4、RAMメモリ5、入力用データセレクタ6、A/D変換器7、出力ラッチメモリ8等をデータバス30で結合したものとなっている。ECU1は車載バッテリ10から電源線11および電源スイッチ12を介して給電される電源ユニット9から制御電源の供給を受けて動作するものであるが、その実行プログラムやエンジン制御用制御定数等は予め不揮発フラッシュメモリ4に格納されている。

【0003】一方、各種センサスイッチ13からの多数のON/OFF入力信号はプルアップまたはプルダウン抵抗としてのブリーダ抵抗14からノイズフィルタを構成する直列抵抗15と並列コンデンサ16を経て比較器19に供給されるが、この比較器19には入力抵抗17と正帰還抵抗18が接続されていて、並列コンデンサ16の両端電圧が比較器19の負側端子に印加されている基準電圧を超えるとデータセレクタ6に論理「H」の信号を供給する。

【0004】しかし、並列コンデンサ16の両端電圧が低下する時には、正帰還抵抗18による入力が加算されるので比較器19の基準電圧よりも更に低い電圧まで低下したことにより比較器19の出力は論理「L」に復帰する。このようにして比較器19はヒステリシス機能を包含したレベル判定用比較器としての機能を持っており、多数の比較器19の出力はデータセレクタ6、データバス30を介してRAMメモリ5に格納されるようになっている。なお、データセレクタ6は、例えば16ビットの入力を扱い、CPU3からチップセレクト信号を受けた時にデータバス30に出力するものであるが、入力点数は数十点に及ぶものであって、複数のデータセレクタが用いられている。

【0005】また、各種アナログセンサ20からの多数のアナログ信号はノイズフィルタを構成する直列抵抗21と並列コンデンサ22を介してA/D変換器7に供給され、CPU3からチップセレクト信号を受取ったA/D変換器のデジタル出力がデータバス30を介してRAMメモリ5に格納される。CPU3の制御出力はデータバス30を介してラッチメモリ8に格納され、出力トランジスタ23を介して外部負荷26を駆動するものであるが、多くの制御出力点数に対応するためには複数のラッチメモリが使用され、CPU3によってチップセレクトされたラッチメモリに対して制御出力が格納されるよ

うになっている。なお、24はトランジスタ23の駆動用ベース抵抗、25はトランジスタ23のベース/エミッタ端子間に接続された安定抵抗、27は外部負荷26に対する給電用電源リレーである。

【0006】このように構成された従来装置では、CPU3が極めて多くの入出力を取扱うためにLSI2の規模が大きくなることや、ノイズフィルタとしての並列コンデンサ16や22は目的とするフィルタ定数を確保するために様々な容量のコンデンサを使用する必要があつて標準化が困難であると共に、大きなフィルタ定数を確保するためには大型コンデンサを用いる必要があつてECU1が大型化する等の問題点があつた。

【0007】LSI2の入出力端子を削減してその小型化を図る手段としては、例えば、特開平7-13912号公報の「入出力処理IC」で示されるように、シリアル通信ブロックを用いて多数の入出力信号を時分割して授受する方法が提示されている。しかし、この方式では様々な容量のノイズフィルタが必要であつて、装置の標準化に適さないばかりか、充分なフィルタ定数を確保するためにコンデンサの容量も大きなものが必要となって装置の小型化にも適さない問題がある。

【0008】一方、ON/OFF入力信号に対するノイズフィルタとしてデジタルフィルタを用い、そのフィルタ定数をマイクロプロセッサによって制御する概念は公知である。例えば、特開平5-119811号公報に示されている「プログラマブルコントローラ」では、サンプリングされた外部入力信号の入力論理値が複数回連続して同じ値であればこれを採用して入力イメージメモリに格納すると共に、サンプリング周期を変更することができるフィルタ定数変更命令を備えている。この方式では、フィルタ定数が自由に変更できる特徴があるが、多数の入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が低下する問題がある。その他、ON/OFF信号に対するデジタルフィルタとしては例えば、特開2000-89974号公報に記載されている「データ格納制御回路」で見られるように、ハードウエアとしてのシフトレジスタを設けて上記と同様の概念でサンプリング処理するようにしたものもある。

【0009】また、例えば、特開平9-83301号公報記載の「スイッチドキャッシュフィルタ」では、多チャンネルのアナログ入力信号に対するノイズフィルタとして、スイッチドキャッシュを用いたデジタルフィルタが示されている。この場合でも、多数のアナログ入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が益々低下する問題がある。その他、特開平8-305681号公報記載の「マイクロコンピュータ」では抵抗/コンデンサによるアナログフィルタの抵抗を多段階切換してフィルタ定数を変更するようにしたもののが示さ

れている。

【0010】

【発明が解決しようとする課題】ところで、上記のような従来装置では、以下のような問題点があった。即ち、従来装置では、上述したように、部分的な小型化・標準化であって、これを統合した本格的な小型化・標準化が行われていないという問題点があった。特に、マイクロプロセッサの出入力回路部分の小型化・標準化を達成する上で、マイクロプロセッサの本来の制御能力・応答性の低下が避けられないという問題があった。

【0011】この発明の第一の目的は、上記のような問題点を解決するためになされたものであって、入出力処理に関するマイクロプロセッサの負担を軽減して本来の制御能力・応答性の向上を図ると共に、入力フィルタ部分を小型化することによって、制御装置全体の小型化と標準化を達成することができる車載電子制御装置を提供することである。また、この発明の第二の目的は、制御仕様の異なる各種車両に対応して、制御プログラムや制御定数を変更することによって対処することによりハードウエアの標準化を一層効果的にしかも容易に行えるようになることができる車載電子制御装置を提供することである。

【0012】

【課題を解決するための手段】請求項1の発明に係る車載電子制御装置は、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリ、および演算処理用のRAMメモリを有するマイクロプロセッサと、該マイクロプロセッサのデータバスに接続された直接入力用インターフェース回路および直接出力用インターフェース回路、間接入力用インターフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、上記間接入力用インターフェース回路を介して入力された複数の外部入力信号を上記RAMメモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路とを備えたものである。

【0013】請求項2の発明に係る車載電子制御装置は、請求項1の発明において、上記間接入力用インターフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成されたON/OFF信号用のインターフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値が格納された定数設定レジ

スタによって構成され、上記入力確定レジスタの出力は、上記RAMメモリに送信され、上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値は上記不揮発メモリから上記定数設定レジスタに送信されるものである。

【0014】請求項3の発明に係る車載電子制御装置は、請求項1の発明において、上記間接入力用インターフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによって構成されたアナログ信号用のインターフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャバシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャバシタの出力は、A/D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は、上記不揮発メモリから上記定数設定レジスタに送信されるものである。

【0015】請求項4の発明に係る車載電子制御装置は、請求項1の発明において、上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インターフェース回路を介して外部負荷とに供給されるものである。

【0016】請求項5の発明に係る車載電子制御装置は、請求項1~4のいずれかの発明において、上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であるものである。

【0017】請求項6の発明に係る車載電子制御装置は、請求項1~5のいずれかの発明において、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

【0018】請求項7の発明に係る車載電子制御装置は、請求項1~6のいずれかの発明において、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集

積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

【0019】請求項8の発明に係る車載電子制御装置は、請求項1～7のいずれかの発明において、上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに統いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

【0020】請求項9の発明に係る車載電子制御装置は、請求項1～8のいずれかの発明において、上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納するものである。

【0021】

【発明の実施の形態】以下、この発明の一実施の形態を、図に基づいて説明する。

実施形態1. 図1は、この発明の実施の形態1を示すブロック回路図である。図において、100はECU（車載電子制御装置）であり、第一LSI（第一の集積回路）110と第二LSI（第二の集積回路）120を主要部品とする一枚の電子基板で構成されている。101aは例えばエンジンの点火時期や燃料噴射時期を制御するためのクランク角センサやオートクルーズ制御用の車速センサ等比較的高頻度の動作を行い、速やかに信号取込みを行う必要のあるON/OFF動作の高速入力信号IN1～INiが入力されるコネクタ端子である。101bは例えばエヤフローセンサ或いはノッキングセンサ等の比較的高周波で変動するアナログ信号が入力されるコネクタ端子であり、図ではその内の1点の入力が代表的に表示されている。

【0022】102は例えば変速レバー位置を検出するセレクタスイッチやエアコンスイッチなど比較的低頻度の動作を行い、信号取込みの遅れがあまり問題とならないようなON/OFF動作の低速入力信号INs1～INsnが入力されるコネクタ端子である。103は例えばアクセルポジションセンサや水温センサ、排気ガスの酸素濃度センサなど比較的緩慢な動作を行い、信号取込みの遅れがあまり問題とならないようなアナログ入力信号AN1～ANmが入力されるコネクタ端子である。

【0023】104は例えばエンジンの点火コイル駆動出力や燃料噴射制御用電磁弁駆動用出力など比較的高頻度の動作を行い、遅滞なく駆動出力を発生する必要のあ

るON/OFF動作の高速出力OUT1～OUTjが出力されるコネクタ端子である。105は例えばエアコン用電磁クラッチ駆動出力や表示警報出力など比較的低頻度の動作を行い、駆動出力の応答遅れがあまり問題とならないON/OFF動作の低速出力OUTs1～OUTskが出力されるコネクタ端子である。

【0024】106は上記ECU100に対して予め制御プログラムや制御定数等を転送書き込みするための外部ツールであり、この外部ツールは製品出荷時や保守作業時に使用され、脱着コネクタ107を介してECU100に接続されるものである。108は車載バッテリに接続された電源端子であり、図示しない電源スイッチを介して給電される端子と後述のメモリの動作保持のために直接車載バッテリから給電されるスリープ用端子によって構成されている。

【0025】第一LSI110はマイクロプロセッサ111、不揮発メモリ112、RAMメモリ113、入力用データセレクタ114、出力用ラッチメモリ115等を含む。後述の第二LSI120との間でシリアル信号の交信を行う直並列変換器116、外部ツール106とシリアル信号の交信を行うSCI（シリアル・コミュニケーション・インターフェース）117、AD変換器119等によって構成されており、これらの構成部品は8～32ビットのデータバス118によってマイクロプロセッサ111に接続されている。なお、不揮発メモリ112は例えば括書き込みの行えるフラッシュメモリであって、外部ツール106から転送制御プログラムや車両制御用プログラム、車両制御用定数などがRAMメモリ113を経由して転送書き込まれるようになっている。

【0026】また、第二LSI（集積回路）120の構成は、以下のとおりである。高速入力端子101aから入力されたON/OFF信号はブリーダ抵抗130を経て第二LSI120に取込まれ、直接入力インタフェース回路としてのノイズフィルタ131a、レベル判定用比較器132aを介して入力用データセレクタ114に印加されている。入力用データセレクタ114には例えば8点以下の高速ON/OFF入力信号が印加されていて、上記マイクロプロセッサ111がチップセレクトを行った時に上記データバス118にON/OFF情報を送出するようになっている。141は高速入力端子101bとAD変換器119間に接続された帯域フィルタであり、この帯域フィルタ141は例えばエンジンのノッキングを検出する圧電センサ等のアナログ信号に対する直接入力インタフェース回路を構成するものとなっている。

【0027】なお、ブリーダ抵抗130は数KΩの低抵抗のブリーダ抵抗であり、このブリーダ抵抗130は入力信号スイッチに対する負荷となるように各ON/OFF入力端子IN1～INi、INs1～INsnと電源の正側（プルアップ）または負側（プルダウン）に接続

されていて、入力スイッチがOFFしている時に入力端子が開放状態となってノイズが重畠するのを避けたり、入力スイッチが接点である場合にはその接触信頼性を向上する役割を持っている。また、ノイズフィルタ131aは図2で後述するノイズフィルタ131bと同等のものであり、同様にレベル判定用比較器132aは図2で後述するレベル判定用比較器132bと同等のものである。

【0028】低速入力端子102から入力されたON/OFF信号はブリーダ抵抗130を経て第二LSI120に取込まれ、間接入力インタフェース回路としてのノイズフィルタ131b、レベル判定用比較器132b、可変フィルタ回路133aを介して入力用データセレクタ140aに印加されており、可変フィルタ回路133aの詳細は図2において後述する。なお、可変フィルタ回路133aはフィルタ定数を格納する定数設定レジスタ137aを備えている。

【0029】入力用データセレクタ140aには例えば8点以下の間接ON/OFF入力信号が印加されていて、後述のアドレス選択回路124がチップセレクトを行った時にデータバス128にON/OFF情報を送出するようになっているが、8点を超えるON/OFF信号を扱う場合には第二・第三の入力用データセレクタが用いられ、順次チップセレクトされてデータバス128にON/OFF情報を送出するように構成されるものである。

【0030】低速入力端子103から入力されたアナログ信号は間接入力インタフェース回路としてのノイズフィルタ135と可変フィルタ回路136a、多チャンネルのAD変換器138を介して各チャンネル毎のデジタル値を格納するラッチメモリ139に入力されており、可変フィルタ回路136aの詳細は図3において後述する。なお、可変フィルタ回路136aはフィルタ定数を格納する定数設定レジスタ137bを備えており、各ラッチメモリ139は入力用データセレクタ140bを介してデータバス128に接続されている。

【0031】126は直並列変換器116と対をなしてシリアルインタフェース回路を構成する直並列変換器、121はマイクロプロセッサ111から直並列変換器116、126を介して送信された一連の情報を一時記憶するバッファメモリ、122aはこのバッファメモリ121内のデータをチェックするデータチェック回路、122bは確認応答用データレジスタ、123はデータチェック回路122aによるデータチェックが正常であった時に動作するコマンドデコーダ、124はコマンドデコーダ123の内容に応じて送受信すべきデータのアドレスを選択するアドレス選択回路、127はクロックジェネレータであり、バッファメモリ121からクロックジェネレータ127によって通信制御回路129が構成されている。

【0032】128は直並列変換器126の並列端子やバッファメモリ121、確認応答用データレジスタ122b、定数設定レジスタ137a、137b、入力用データセレクタ140a、140bの外に間接出力用のラッチメモリ125等が接続されたデータバスであり、通信制御回路129を用いたデータ授受の方法は図4によって後述する。134a、134bは直接出力インタフェース回路或いは間接出力インタフェース回路を構成する負荷駆動用トランジスタであり、それぞれラッチメモリ115と高速出力端子104との間、およびラッチメモリ125と低速出力端子105との間に接続され、ラッチメモリ115や125の出力信号によって外部負荷OUT1~OUTjやOUTs1~OUTskを駆動するようになっている。142は電源端子108から給電されて第一LSI110や第二LSI120に給電する電源ユニットであり、この電源ユニット142やブリーダ抵抗130、出力トランジスタ134a、134bなどは第二LSI120の外部に設けられている。なお、図示しない高速入力信号として、出力トランジスタ134aの動作確認信号や負荷電流検出信号なども、ECU100内部で発生する信号としてマイクロプロセッサ111に取込まれるようになっている。

【0033】図2は図1における可変フィルタ回路133aとその周辺回路の詳細を示すものである。図において、入力スイッチ200に対して前述の低抵抗のブリーダ抵抗130を備えた入力信号INs nは、実用可能な上限値である数百Kオームの高抵抗の直列抵抗210を介して十数pFの並列小容量コンデンサ211に接続されている。131bは直列抵抗210と小容量コンデンサ211によって構成されたノイズフィルタであって、高周波ノイズを吸収平滑化するためのものである。132bは入力抵抗221、正帰還抵抗223、比較器220によって構成されたレベル判定用比較器であり、上記比較器220の反転入力には所定の基準電圧222(電圧Von)が印加される。

【0034】従って、小容量コンデンサ211の充電電圧が基準電圧Von以上になると比較器220の出力は「H」(論理「1」)となるが、一旦比較器220の出力が「H」になると、正帰還抵抗223による入力加算が生じるために、小容量コンデンサ211の充電電圧がVoff(< Von)まで低下しなければ比較器220の出力は「L」(論理「0」)にはならないようにヒステリシス機能を持っている。これは小容量コンデンサ211に重畠されたノイズリップルによって、高頻度に比較器220の出力が反転変化することを防止するためのものとなっている。

【0035】可変フィルタ回路133aを構成するシフトレジスタ230には、比較器220の出力が入力されると共に、クロックジェネレータ127aから周期Tのシフト用パルス入力が供給される。従って、シフトレジ

スタ230の後段の論理内容は、順次過去の時点における比較器220の出力論理内容となっている。

【0036】231a～237aはシフトレジスタ230の各出力段における論理内容と定数設定レジスタ137aの各ビットの論理内容を論理和する第一の論理ゲート素子、238aはこの論理ゲート素子231a～237aの出力を結合する論理積素子、239はこの論理積素子238aの出力によってセッタされるフリップフロップ素子によって構成された入力確定レジスタである。また、231b～237bはシフトレジスタ230の各出力段における論理内容の反転論理内容と定数設定レジスタ137aの各ビットの論理内容を論理和する第二の論理ゲート素子、238bはこの論理ゲート素子231b～237bの出力を結合する論理積素子であり、この論理積素子238bの出力によって入力確定レジスタ239がリセットされるように構成されている。

【0037】このように構成された可変フィルタ回路133aにおいて、シフトレジスタ230の各出力段の内容が全て論理「1」であれば論理積素子238aの出力によって入力確定レジスタ239の出力は論理1にセットされることになる。但し、定数設定レジスタ137aの一部の内容が論理「1」であれば、これに対応したシフトレジスタ230の出力段の論理内容は「0」であっても差し支えない。

【0038】従って、図2の例ではシフトレジスタ230の初段から第五段までの論理内容が全て「1」であれば入力確定レジスタ239の出力は論理「1」にセットされることになる。また、シフトレジスタ230の各出力段の内容が全て論理「0」であれば論理積素子238bの出力によって入力確定レジスタ239の出力は論理0にリセットされることになる。但し、定数設定レジスタ137aの一部の内容が論理「1」であれば、これに対応したシフトレジスタ230の出力段の論理内容は「1」であっても差し支えない。

【0039】従って、図2の例ではシフトレジスタ230の初段から第五段までの論理内容が全て「0」であれば入力確定レジスタ239の出力は論理「0」にリセットされることになる。このように、入力確定レジスタ239の出力内容を決定するための論理判定点数は定数設定レジスタ137aの内容によって可変設定されるよう

$$S1 \text{側でのコンデンサ } 313 \text{の蓄積電荷 } Q1 = C0 \times V1$$

$$S2 \text{側でのコンデンサ } 313 \text{の蓄積電荷 } Q2 = C0 \times V2$$

$$T \text{秒間での移動電荷 } Q = Q1 - Q2 = C0 \times (V1 - V2)$$

$$T \text{秒間での平均電流 } I = Q / T = C0 \times (V1 - V2) / T$$

$$\text{等価抵抗 } R0 = (V1 - V2) / I = T / C0$$

従って、上記のような可変フィルタ回路136aは、直列抵抗RA(=R0)と出力コンデンサCAによるRCフィルタと等価であり、直列抵抗RAは切換周期Tに比例して大きな値となるものであるが、切換周期Tは定数設定レジスタ137bの内容によって可変切換すること

構成されている。なお、上記のとおり論理判定点数を可変設定する代わりに、クロックジェネレータ127aのパルス周期を可変設定するようにしても良い。

【0040】図3は図1における可変フィルタ回路136aの説明用等価回路とその周辺回路を示すものである。図において、135はアナログ入力信号ANmに対するノイズフィルタであり、このノイズフィルタ135は正側クリップダイオード300、負側クリップダイオード301、直列抵抗302、並列小容量コンデンサ303によって構成されている。クリップダイオード300、301はアナログ入力信号ANmに過大なノイズが重畳された時に、このノイズ電圧を電源の正負回路に環流させて、想定されるアナログ信号の最大・最小値を超える電圧を小容量コンデンサ303に印加しないようにするためのものである。また、ANm端子に接続される図示しないアナログセンサが相応の内部抵抗を持っている場合には、直列抵抗302は省略することもできる。

【0041】可変フィルタ回路136aを構成するコンデンサ313(容量C0)は切換スイッチ312によって周期的に信号側S1または出力側S2に切換えられ、その切換周期Tはクロックジェネレータ127bの各種分周出力を定数設定レジスタ137bによって選択設定された値となっている。なお、314aから314dは選択ゲート用の論理積素子、314はこの論理積素子314aから314dの出力を結合する論理和素子であり、この論理和素子314の出力が切換スイッチ312に対する切換周期Tとなっている。信号側S1には小容量コンデンサ303の両端電圧V1が増幅器310を介して印加され、出力側S2には出力コンデンサ315(容量C)が接続されて、このコンデンサ315の両端電圧V2は増幅器316と図1のAD変換器138を介してデジタル値に変換され、ラッチメモリ139に格納されるようになっている。なお、311a、331bおよび317a、317bはそれぞれ増幅器310、316の出力を当該増幅器の反転入力に接続した帰還回路抵抗である。

【0042】このように構成された可変フィルタ回路136aにおいて、コンデンサ313の容量C0に対する充放電抵抗が充分小さい時には以下のよう関係式が成立する。

ができるようになっている。

【0043】次に、動作について説明する。まず、シリアル通信のデータ伝送フレーム構成を示す図4a～図4fについて説明する。図4aは不揮発メモリ112に格納されているフィルタ定数をマイクロプロセッサ11

1、直並列変換器116、126を介して第二LSI120内の定数設定レジスタ137aや137bに送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段は第二LSI120側の返信データとなっている。

【0044】図4aにおいて、400は送信開始フレームSTX、コマンドフレームCOM1、間接ON/OF F入力信号INs1～INsnに対応したフィルタ定数フレームDF1～DFn、間接アナログ入力信号AN1～ANmに対応したフィルタ定数フレームAF1～AFm、送信終了フレームETX、サムデータフレームSUMによって構成された定数送信フレーム構成を示したものである。

【0045】送信開始フレームSTXは図4fに示すとおり、例えば16進数で55の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。同様に、コマンドフレームCOM1は図4fに示すとおり、例えば16進数で10の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。

【0046】また、各フィルタ定数フレームDF1～DFn、AF1～AFmも8ビットのフィルタ定数データとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。送信終了フレームETXは図4fに示すとおり、例えば16進数でAAの値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。

【0047】また、サムデータフレームSUMは上記一連のフレームの各ビットの垂直ビット加算値（桁上を行わないバイナリ加算値）である8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。401は送信開始フレームSTX、受信確認フレームACK、送信終了フレームETX、サムデータフレームSUMによって構成された受信確認のフレーム構成を示したものであり、受信確認フレームACKは図4fに示すとおり、例えば16進数で81の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。送信終了フレームETXやサムデータフレームSUM、或いは送信開始フレームSTXは上記と同様であり、以下の説明は省略する。

【0048】各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納され

る。

【0049】バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

【0050】受信データが正常であれば確認応答用データレジスタ122b内に書込まれているSTX、ACK、ETX、SUMのフレームデータは直並列変換器126、116を介してマイクロプロセッサ111に送信され、これが図4aにおける受信確認フレーム構成401で示されている。但し、受信データが異常であった場合には、確認応答フレームACKの内容は例えば図4fで示す16進数82（NACK）に変更され、これを受信したマイクロプロセッサ111は再度フィルタ定数の送信を行う等の処置を行うものである。受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM1の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の定数設定レジスタ137a、137bの先頭レジスタを指定するものである。

【0051】クロックジェネレータ127はアドレス選択回路124を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の定数設定レジスタ137a、137bの一つが順次選択されてデータバス128に接続される。この選択操作と同期して、バッファメモリ121に格納されているフィルタ定数が順次読み出されてデータバス128に接続され、選択されている定数設定レジスタ137a、137bの一つにフィルタ定数の書込みが行われるものである。

【0052】図4bは第二LSI120内の間接入力信号情報を直並列変換器126、116、マイクロプロセッサ111を介してRAMメモリ113に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段側は第二LSI120側の返信データとなっている。図4bにおいて、402は送信開始フレームSTX、コマンドフレームCOM2、送信終了フレームETX、サムデータフレームSUMによって構成された入力情報送信要求のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む11ビットデータであると共に、入力情報送信要求コマンドCOM2は例えば図4fで示すとおり16進数で20、21、22、23の4種類のものがある。これは、多数の入力情報を4グループに分割して送信するための

ものであり、全入力情報を一括して送信するものとすれば1種類のコマンドであれば良い。

【0053】403は送信開始フレームSTX、コマンドフレームCOM3、間接ON/OFF入力信号INs1～INsnを8点単位でまとめたデジタル入力フレームDIG1、DIG2、DIG3、間接アナログ入力信号AN1～ANmの一部に対応したデジタル変換フレームAI1～AI5、送信終了フレームETX、サムデータフレームSUMによって構成された入力情報返信フレーム構成を示したものであり、コマンドフレームCOM3は図4fに示すとおり、例えば16進数で30、31、32、33の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されていて、コマンドフレームCOM3の内容はコマンドフレームCOM2に対応した値となっている。

【0054】なお、デジタル入力フレームDIG1、DIG2、DIG3の個数は間接ON/OFF入力信号INs1～INsnの点数に応じて変化するが、現実の用途では24点/3フレーム分あれば充分である。また、間接アナログ入力信号AN1～ANmも現実の用途では29点/29フレーム以下のレベルであって、合計すれば32フレーム分以下となるので、これを4グループに分割すれば8フレーム単位で返信すれば良いことになる。従って、コマンドフレームCOM2が20、21、22、23であればコマンドフレームCOM3は30、31、32、33となり、これに続く返信入力情報はDIG1～AI5、AI6～AI13、AI14～AI21、AI22～AI29のアドレス範囲となっている。

【0055】入力情報送信要求のフレーム構成402で示した各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納される。

【0056】バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

【0057】受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM2の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の入力用データセレクタ140a、14

0bの先頭データセレクタを指定するものである。クロックジェネレータ127はアドレス選択回路124を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の入力用データセレクタ140a、140bの一つが順次選択されてデータバス128に接続される。

【0058】この選択操作と同期して、各フレームの各ビット情報は直並列変換器126で並列→直列変換されて直並列変換器116に送信され、直並列変換器116では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をマイクロプロセッサ111に供給し、このタイミングで受信した1フレームのデータがRAMメモリ113に格納される。

【0059】なお、実際には図示しない送信バッファメモリを設け、このバッファメモリ内にマイクロプロセッサ111に送信するべき各入力情報を格納しておくと共に、これらの入力情報の前後では、送信開始フレームSTX、入力情報返信案内コマンドCOM3、送信終了フレームETXやサムデータフレームSUMを附加したり、各入力情報にはスタートビット、パリティビット、ストップビットが付加しておいて、その送信バッファメモリの内容をアドレス選択回路124の動作に応じて順次直並列変換器126、116を介してマイクロプロセッサ111に送信するものである。また、マイクロプロセッサ111からの入力情報送信要求フレーム402のサムチェック操作に異常であった場合には、入力情報の返信に替わって確認応答NACKが返信され、これを受信したマイクロプロセッサ111は再度入力情報送信要求フレーム402の送信を行う等の処置を行うものである。

【0060】図4cはRAMメモリ113内に格納されている間接出力情報をマイクロプロセッサ111、直並列変換器116、126を介して第二LSI120内の出力ラッチメモリ125に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段側は第二LSI120側の返信データとなっている。

【0061】図4cにおいて、404は送信開始フレームSTX、出力情報送信案内コマンドフレームCOM4、間接出力OUTs1～OUTskを8点単位でまとめたデジタル出力フレームDOG1、送信終了フレームETX、サムデータフレームSUMによって構成された出力情報送信案内のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む11ビットデータであると共に、出力情報送信案内コマンドCOM4は例えば図4fで示すとおり16進数で40の値を持つものである。なお、コマンドCOM4に続くデジタル出力フレームDOG1の個数は、間接出力OUTs1～OUTskの点数によって変化するものである。

【0062】401は送信開始フレームSTX、受信確認フレームACK、送信終了フレームETX、サムデータフレームSUMによって構成された受信確認のフレーム構成を示したものである。出力情報送信案内フレーム構成404の各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納される。

【0063】バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

【0064】受信データが正常であれば確認応答用データレジスタ122b内に書込まれているSTX、ACK、ETX、SUMのフレームデータは直並列変換器126、116を介してマイクロプロセッサ111に送信され、これが図4cにおける受信確認フレーム構成401で示されている。但し、受信データが異常であった場合には、確認応答フレームACKの内容は例えば図4fで示す16進数82(NACK)に変更され、これを受信したマイクロプロセッサ111は再度フィルタ定数の送信を行う等の処置を行うものである。

【0065】受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM4の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の出力ラッチメモリ125の先頭ラッチメモリを指定するものである。（但し、図4cの例では出力ラッチメモリは1個となっている）クロックジェネレータ127はアドレス選択回路124を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の出力ラッチメモリ125の一つが順次選択されてデータバス128に接続される。この選択操作と同期して、バッファメモリ121に格納されている間接出力情報が順次読み出されてデータバス128に接続され、選択されている出力ラッチメモリ125の一つに間接出力情報の書込みが行われるものである。

【0066】図4dは第二LSI120内の特定の間接入力信号情報の内容を直並列変換器126、116、マイクロプロセッサ111を介してRAMメモリ113に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段側は第二LSI120側の返信データとなっている。

【0067】図4dにおいて、406は送信開始フレームSTX、コマンドフレームCOM5、アドレスフレームADR1、送信終了フレームETX、サムデータフレームSUMによって構成された特定入力情報送信要求のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む11ビットデータであると共に、特定入力情報送信要求コマンドCOM5は例えば図4fで示すとおり16進数で50の値を持つものである。

【0068】407は送信開始フレームSTX、コマンドフレームCOM6、アドレスフレームADR1、指定されたアドレスの間接入力情報フレームDATA、送信終了フレームETX、サムデータフレームSUMによって構成された特定入力情報返信フレーム構成を示したものであり、コマンドフレームCOM5、COM6は図4fに示すとおり、例えば16進数で50、60の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されている。なお、アドレスフレームADR1の内容はデジタル入力フレームDIG1～DIG3、デジタル変換フレームAI1～AIMを例えば0～31等の連番で呼称した数値となっている。

【0069】特定入力情報送信要求のフレーム構成406で示した各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納される。

【0070】バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

【0071】受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM5の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の入力用データセレクタ140a、140bの内アドレスフレームADR1で指定された番号のデータセレクタを指定するものである。この指定操作と同期して、各フレームの各ビット情報は直並列変換器126で並列→直列変換されて直並列変換器116に送信され、直並列変換器116では1フレーム毎に直列→並

列変換を行って、1フレームの受信完了信号をマイクロプロセッサ111に供給し、このタイミングで受信した1フレームのデータがRAMメモリ113に格納される。

【0072】但し、これらの入力情報の返信に前後では、送信開始フレームSTX、特定入力情報返信案内コマンドCOM6、送信終了フレームETXやサムデータフレームSUM等が付加されると共に、各入力情報にはスタートビット、パリティビット、トップビットが付加されるものである。また、マイクロプロセッサ111からの特定入力情報送信要求フレーム406のサムチェック操作に異常であった場合には、特定入力情報の返信に替わって確認応答NACKが返信され、これを受信したマイクロプロセッサ111は再度特定入力情報送信要求フレーム406の送信を行う等の処置を行うものである。なお、特定入力情報送信要求コマンドCOM5は、多数の間接入力の内で比較的高頻度に入力情報が変化するものに関して、マイクロプロセッサ111との交信頻度を高めることができるようしたものである。

【0073】図4eは不揮発メモリ112内に格納されている特定フィルタ定数をマイクロプロセッサ111、直並列変換器116・126を介して第二LSI120内の定数設定レジスタ137aや137bの内の特定の定数設定レジスタに送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段側は第二LSI120側の返信データとなっている。

【0074】図4eにおいて、408は送信開始フレームSTX、特定定数送信案内コマンドフレームCOM7、アドレスフレームADR2、指定アドレスに対するフィルタ定数フレームDATA、送信終了フレームETX、サムデータフレームSUMによって構成された特定定数送信案内のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、トップビットを含む11ビットデータであると共に、特定定数送信案内コマンドCOM7は例えば図4fで示すとおり16進数で70の値を持つものである。

【0075】401は送信開始フレームSTX、受信確認フレームACK、送信終了フレームETX、サムデータフレームSUMによって構成された受信確認のフレーム構成を示したものである。特定定数送信案内のフレーム構成408の各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納される。

【0076】バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータ

が順次格納されるようになっている。一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

【0077】受信データが正常であれば確認応答用データレジスタ122b内に書込まれているSTX、ACK、ETX、SUMのフレームデータは直並列変換器126、116を介してマイクロプロセッサ111に送信され、これが図4eにおける受信確認フレーム構成401で示されている。但し、受信データが異常であった場合には、確認応答フレームACKの内容は例えば図4fで示す16進数82(NACK)に変更され、これを受信したマイクロプロセッサ111は再度フィルタ定数の送信を行う等の処置を行うものである。

【0078】受信データが正常であれば、コマンドデータ123はコマンドフレームCOM7の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の定数設定レジスタ137aや137bの内の特定のレジスタを指定するものである。この指定操作と同期して、バッファメモリ121に格納されているフィルタ定数が読み出されてデータバス128に接続され、選択されている定数設定レジスタ137a、137bの一つにフィルタ定数の書き込みが行われるものである。

【0079】なお、図4aや図4eで示したフィルタ定数の転送において、不揮発メモリ112に格納されているフィルタ定数はRAMメモリ113を経由して第二LSI120内の定数設定レジスタ137a、137bに送信されるのが実態であり、このようにしてフィルタ定数が格納されているRAMメモリ113の一部の内容は、マイクロプロセッサ111の運転中において学習補正され、この学習補正された特定アドレスのフィルタ定数が図4eの特定定数送信案内コマンドCOM7によって特定の定数設定レジスタに送信されるものである。

【0080】図5はマイクロプロセッサ111の動作説明用フローチャートである。図において、500は定期的に活性化される動作開始工程、501は動作開始工程500に統いて作用し、車載電子制御装置100に電源が投入されてから最初の動作であるかどうかを判定する工程、502は工程501が初回動作であると判定した時に作用し、不揮発メモリ112に格納されているフィルタ定数をRAMメモリ113の所定領域に転送する工程、503は図4aに示したフレーム構成400でRAMメモリ113に転送されたフィルタ定数を送信する工程、504は図示しない通信時間監視タイマを起動する工程、505は図4aに示したフレーム構成401を受

信してその内容が正常受信確認ACKであるか受信異常NACKであるかを判定する工程、506は工程505が正常受信ACKであると判定した時に作用し、工程504で起動されていた監視タイマをリセットする工程である。

【0081】なお、工程505が受信異常NACKであった時には再度工程503に復帰してフィルタ定数の再送が行われるが、再び正常受信確認ACKが得られない時には工程504で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっていている。また、507は第二LSI120側で正常受信したフィルタ定数を定数設定レジスタ137aや137bに格納する動作を参考記述したものである。

【0082】510は工程501が初回動作では無いと判定した時に作用し、RAMメモリ113に格納されているフィルタ定数の一部が学習補正されているかどうかを図示しないフラグの内容をチェックすることによって判定する工程、511は工程510が学習補正有りと判定した時に作用し、図4eに示したフレーム構成408でRAMメモリ113に転送されたフィルタ定数を送信する工程、512は図示しない通信時間監視タイマを起動する工程、513は図4eに示したフレーム構成401を受信してその内容が正常受信確認ACKであるか受信異常NACKであるかを判定する工程、514は工程513が正常受信ACKであると判定した時に作用し、工程512で起動されていた監視タイマをリセットする工程である。

【0083】なお、工程513が受信異常NACKであった時には再度工程511に復帰してフィルタ定数の再送が行われるが、再び正常受信確認ACKが得られない時には工程512で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。また、515は第二LSI120側で正常受信したフィルタ定数を定数設定レジスタ137aや137bのどれか指定されたアドレスのものに格納する動作を参考記述したものである。

【0084】520は工程510が学習補正無しと判定した時に作用し、特定入力情報の必要性を判定する工程、521は工程520が特定入力を必要と判定した時に作用し、図4dに示したフレーム構成406で特定アドレスの入力情報を送信要求工程、522は図示しない通信時間監視タイマを起動する工程、523aは図4dに示したフレーム構成407に替わって受信異常NACKを受信したかどうかを判定する工程、523bは受信異常NACKに替わってフレーム構成407を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、524は工程523bが正常受信であると判定した時に作用し、工程522で起

動されていた監視タイマをリセットする工程、525は受信した入力情報をRAMメモリ123に格納する工程である。

【0085】なお、工程523aが受信異常NACKであった時や工程523bにサムチェックエラーがあった時には再度工程521に復帰して特定入力情報の再送要求が行われるが、再び正常受信ができない時には工程522で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。また、工程520では図示しない制御フローチャートに基づいてマイクロプロセッサ111がエンジンコントロールを実行する過程において、最新の特定入力情報を必要とする場合などに図示しないフラグがセットされるようになっていて、このフラグがセットされているかどうかを工程520で判定するものである。

【0086】530は工程520が特定入力必要無しと判定した時に作用し、第一グループ入力情報を送信要求するかどうかを判定する工程、531は工程530が第一グループの入力情報を送信要求すると判定した時に作用し、図4bに示したフレーム構成402で第一グループの入力情報を送信要求する工程、532は図示しない通信時間監視タイマを起動する工程、533aは図4bに示したフレーム構成403に替わって受信異常NACKを受信したかどうかを判定する工程、533bは受信異常NACKに替わってフレーム構成403を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、534は工程533bが正常受信であると判定した時に作用し、工程532で起動されていた監視タイマをリセットする工程、535は受信した入力情報をRAMメモリ123に格納する工程、536は第一グループの入力情報を正常受信したことを記憶するフラグ0の設定工程である。

【0087】なお、工程533aが受信異常NACKであった時や工程533bにサムチェックエラーがあった時には再度工程531に復帰して第一グループの入力情報数の再送要求が行われるが、再び正常受信ができない時には工程532で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。

【0088】また、工程530を初めて実行する時には、工程536によるフラグ0がまだセットされていないので、工程530の判定はNOとなっているが、次回に工程530を実行した時はYESの判定となり工程530から図示しない工程540へ直接移行して図示しない第二グループの入力情報を送信要求するフローが実行されるようになっている。同様にして、第三グループの入力情報の送信要求・受信がおこなわれる。

【0089】560は図示しない工程550が第三グル

ープの入力を必要無しと判定した時（フラグ2が既にセットされている）に作用し、第四グループ入力情報を送信要求するかどうかを判定する工程、561は工程560が第四グループの入力情報を送信要求すると判定した時に作用し、図4bに示したフレーム構成402で第四グループの入力情報を送信要求する工程、562は図示しない通信時間監視タイマを起動する工程、563aは図4bに示したフレーム構成403に替わって受信異常NACKを受信したかどうかを判定する工程、563bは受信異常NACKに替わってフレーム構成403を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、564は工程563bが正常受信であると判定した時に作用し、工程562で起動されていた監視タイマをリセットする工程、565は受信した入力情報をRAMメモリ123に格納する工程、566は第四グループの入力情報を正常受信したことを記憶するフラグ3の設定工程である。

【0090】なお、工程563aが受信異常NACKであった時や工程563bにサムチェックエラーがあった時には再度工程561に復帰して第四グループの入力情報の再送要求が行われるが、再び正常受信ができない時には工程562で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。また、工程560を初めて実行する時には、工程566によるフラグ3がまだセットされていないので、工程560の判定はNOとなっているが、次回に工程560を実行した時はYESの判定となり工程560から工程571へ直接移行するようになっている。

【0091】571は図4cに示したフレーム構成404で出力情報を送信案内する工程、572は図示しない通信時間監視タイマを起動する工程、573は図4cに示したフレーム構成401で正常受信確認ACKを受信したかどうかを判定する工程、574は工程573が正常受信であると判定した時に作用し、工程572で起動されていた監視タイマをリセットする工程、576は工程536、546（図示せず）、556（図示せず）、566でセットされたフラグ0～3をリセットする工程である。

【0092】なお、工程573が受信異常NACKであった時には再度工程571に復帰して出力情報の再送が行われるが、再び正常受信ができない時には工程572で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。また、575は第二LSI120側で正常受信した出力情報を出力ラッチメモリ125に格納する動作を参考記述したものである。

【0093】508は工程506、514、525、536、546（図示せず）、556（図示せず）、56

6、576に統いて動作する動作終了工程であり、この工程508では動作開始工程500が再度活性化されるまで動作待機しているものである。以上の動作フローを概説的に説明すると、第一フローとしての工程502～506は電源投入時の初期化フローであって、不揮発メモリ112に格納されているフィルタ定数が一齐に定数設定レジスタ137a、137bに転送格納されるものである。第二フローとしての工程511～514はフィルタ定数に変更があった時のみ動作して、該当アドレスの定数設定レジスタの内容を変更するものである。第三フローとしての工程521～525は特定アドレスの入力情報を必要とする時のみ動作して、該当アドレスの入力情報をRAMメモリ113に格納するものである。第四フローとしての工程531～536から第七フローとしての工程561～566は第一グループの入力情報DIG1、DIG2、DIG3、AI1～AI5、第二グループの入力情報AI6～AI13、第三グループの入力情報AI14～AI21、第四グループの入力情報AI22～AI29の送信要求を行って、RAMメモリ123に格納するものである。

【0094】第八フローとしての工程571～576は出力情報OUTs1～OUTskをRAMメモリ113から出力ラッチメモリ125に送信するものである。マイクロプロセッサ111の運転中において、フィルタ定数の変更送信や特定入力情報の送信要求が無い時には、動作開始工程500が定期的に活性化される都度上記第四フローから第八フローが順次繰り返して実行されることになるが、フィルタ定数の変更送信や特定入力情報の送信要求があれば、第二フローや第三フローが優先して実行されることになる。

【0095】このように、本実施の形態では、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリと演算処理用のRAMメモリを備えたマイクロプロセッサ、このマイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路と定数設定レジスタを備えた可変フィルタ回路および通信制御回路等によって構成された集積回路、間接入力用インタフェース回路を介して入力された複数の外部入力信号をRAMメモリに送信すると共に、不揮発メモリに格納されたフィルタ定数を可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路を備えて構成されている。従って、フィルタ用コンデンサの小型化による製品全体の小型化と、制御対象車種に応じた適正入力フィルタ定数の設定による製品の標準化を図ると共に、可変フィルタ回路を外部ハードウエアで構成することによってマイクロプロセッサの役割を低減してその性能低下を防止することができる。

【0096】実施の形態2、図6はこの発明の実施の形態2におけるON/OFF信号用の可変フィルタ回路を

示すものである。図において、前述の低抵抗のブリーダ抵抗130を備えた入力信号INsは、実用可能な上限値である数百Kオームの高抵抗の直列抵抗210を介して十数PFの並列小容量コンデンサ211に接続されている。131bは直列抵抗210と小容量コンデンサ211によって構成されたノイズフィルタであって、高周波ノイズを吸収平滑化するためのものとなっている。132bは入力抵抗221、正帰還抵抗223、比較器220によって構成されたレベル判定用比較器であり、比較器220の反転入力には所定の基準電圧222（電圧Von）が印加されている。

【0097】従って、小容量コンデンサ211の充電電圧が基準電圧Von以上になると比較器220の出力は「H」（論理「1」）となるが、一旦比較器220の出力が「H」になると、正帰還抵抗223による入力加算が生じるために、小容量コンデンサ211の充電電圧がVoff(<Von)まで低下しなければ比較器220の出力は「L」（論理「0」）にはならないようヒステリシス機能を持っている。これは小容量コンデンサ211に重畠されたノイズリップルによって、高頻度に比較器220の出力が反転変化することを防止するためのものとなっている。

【0098】600aは比較器220の出力と可逆カウンタ602のカウントアップモード入力UP間に接続されたゲート素子、601は比較器220の出力からゲート素子600bを介して可逆カウンタ602のカウントダウンモード入力DNに接続された論理反転素子であり、可逆カウンタ602は所定の周期でON/OFFするクロックジェネレータ127cに接続されたクロック入力端子CLを備えていて、モード入力UPやDNに応じてクロック入力を可逆カウントするように構成されている。

【0099】603aは論理判定点数Nに相当する設定値が格納された定数設定レジスタ、603bは可逆カウンタ602の現在値が格納された現在値レジスタ、604aは可逆カウンタ602の現在値が設定値Nに到達した時に論理「1」となる出力Qによってゲート素子600aを閉鎖して、更なるカウントアップが行われないようする論理反転素子、604bは可逆カウンタ602の現在値が0になった時に論理「1」となる出力Pによってゲート素子600bを閉鎖して、更なるカウントダウンが行われないようにする論理反転素子、605は可逆カウンタ602の設定値到達出力Qによってセットされ、現在値0出力Pによってリセットされるフリップフロップ素子で構成された入力確定レジスタあり、この入力確定レジスタ605の出力が入力用データセレクタ140aの入力端子に接続されている。

【0100】このように構成された可逆カウンタ602では、周期Tで動作するクロック入力CLの入力パルス数が定数設定レジスタ603aの設定値Nに到達するま

で継続的に比較器220の出力が「H」であれば入力確定レジスタ605がセットされるが、途中で比較器220の出力が「L」になればクロック入力を減算カウントし、再び比較器220の出力が「H」になった後に加算カウントが行われて、やがて現在値が設定値Nに到達すれば入力確定レジスタ605がセットされる。

【0101】同様に、一旦入力確定レジスタ605がセットされると、周期Tで動作するクロック入力CLの入力パルスによって現在値が設定値Nから0に減少するまで継続的に比較器220の出力が「L」であこの発明の請求項1による制御装置は、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリと演算処理用のRAMメモリを備えたマイクロプロセッサ、該マイクロプロセッサのデータバスに接続された直接入力用インターフェース回路および直接出力用インターフェース回路、間接入力用インターフェース回路と定数設定レジスタを備えた可変フィルタ回路および通信制御回路等によって構成された集積回路、上記間接入力用インターフェース回路を介して入力された複数の外部入力信号を上記RAMメモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路を備えて構成されている。

【0102】これはフィルタ用コンデンサの小型化による製品全体の小型化と、制御対象車種に応じた適正入力フィルタ定数の設定による製品の標準化を図ると共に、可変フィルタ回路を外部ハードウェアで構成することによってマイクロプロセッサの役割を低減してその性能低下を防止する手段を提供したものである。れば入力確定レジスタ605がリセットされるが、途中で比較器220の出力が「H」になればクロック入力を加算カウントし、再び比較器220の出力が「L」になった後に減算カウントが行われ、やがて現在値が0に到達すれば入力確定レジスタ605がリセットされる。なお、上記のとおり可逆カウンタ602の設定値によって論理判定点数を可変設定する代わりに、クロックジェネレータ127cのパルス周期を可変設定するようにしても良い。

【0103】実施の形態3、図7はこの発明の実施の形態3におけるアナログ信号用の可変フィルタ回路を示すものである。図において、135はアナログ入力信号ANmに対するノイズフィルタであり、このノイズフィルタ135は正側クリップダイオード300、負側クリップダイオード301、直列抵抗302、並列小容量コンデンサ303によって構成されている。

【0104】クリップダイオード300、301はアナログ入力信号ANmに過大なノイズが重畠された時に、このノイズ電圧を電源の正負回路に環流させて、想定されるアナログ信号の最大・最小値を超える電圧を小容量コンデンサ303に印加しないようするためのものである。また、ANm端子に接続される図示しないアナロ

グセンサが相応の内部抵抗を持っている場合には直列抵抗302は省略することもできる。

【0105】可変フィルタ回路136bを構成するコンデンサ714(容量C)は定数設定レジスタ137cによって導通制御されるアナログゲートスイッチ713a～713dを介してフィルタ抵抗712a～712dから充電されるよう構成されており、その充電電圧は小容量コンデンサ303の両端電圧V1を増幅器710で増幅した電圧V1となっている。また、コンデンサ714の両端電圧V2は増幅器715を介して出力され、図1のAD変換器138によってデジタル値に変換された後、ラッチメモリ139に格納されている。

【0106】なお、711a、711bおよび716a、716bはそれぞれ増幅器710、715の出力を当該増幅器の反転入力に接続した帰還回路抵抗である。従って、上記のような可変フィルタ回路136bは、フィルタ抵抗712a～712dの内でアナログゲートスイッチ713a～713dがONとなっている抵抗の並列合成抵抗RBとコンデンサCBによるRCフィルタと等価であり、並列合成抵抗RBは定数設定レジスタ137cの内容によって可変切換することができるようになっている。

【0107】実施の形態4. 図1で示した実施の形態では、アナログ出力が取扱われていないが、必要に応じてメータ表示用のDA変換器を間接出力として搭載することができる。なお、このようなアナログ出力やON/OFF動作の低速出力点数はあまり多くはない実態であることから、出力に関してはシリアル通信に依存することなく、全てマイクロプロセッサ111側のラッチメモリ115から直接出力するようにしても良い。また、たとえ低速動作の入力信号であっても、エンジンの回転を維持するのに必要な最低限度の入力情報はシリアル通信に依存しないようにして、マイクロプロセッサ111に直接入力しておくことがフェールセーフ運転を行う上で重要である。

【0108】図1で示した実施の形態では、クロックジェネレータ127を第二LSI120内に設けたが、シリアル通信回線の中にクロック信号線を追加して、マイクロプロセッサ111側のクロック信号を用いて同期制御することもできるものであると共に、図2・図3・図6内の各種クロックジェネレータは基本となるクロック信号の分周回路によって構成されるものである。また、マイクロプロセッサ111側のデータバス118には、DMAC(ダイレクト・メモリ・アクセス・コントローラ)を接続し、マイクロプロセッサ111がデータバス118を用いていない内部演算期間において、直並列変換器116からの直並列変換完了信号に基づいてRAMメモリ113とのデータ授受を直接行うようにすれば、シリアル通信に要する時間を短縮したり、マイクロプロセッサ111の負担を軽減することができるものであ

る。

【0109】

【発明の効果】以上のように、請求項1の発明によれば、外部ツールから被制御車種対応の制御プログラムや制御定数等が書き込まれる不揮発メモリ、および演算処理用のRAMメモリを有するマイクロプロセッサと、該マイクロプロセッサのデータバスに接続された直接入力用インターフェース回路および直接出力用インターフェース回路、間接入力用インターフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、上記間接入力用インターフェース回路を介して入力された複数の外部入力信号を上記RAMメモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路とを備えたので、マイクロプロセッサの入出力ピン数が大幅に削減されて小型安価となると共に、入力フィルタ用に様々な容量の大容量コンデンサを使う必要がないので入力インターフェース回路部分の小型化・標準化が図れ、また、特に、被制御車種に対応した制御プログラムやフィルタ定数が不揮発メモリ内に一元的に設定されるので、自由度の高い標準化が達成でき、しかも、可変フィルタの制御は集積回路側で行われるので、マイクロプロセッサの負担を高めることなく、マイクロプロセッサと集積回路部の機能分担により小型化・標準化が達成できるという効果がある。

【0110】また、請求項2の発明によれば、上記間接入力用インターフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成されたON/OFF信号用のインターフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値が格納された定数設定レジスタによって構成され、上記入力確定レジスタの出力は、上記RAMメモリに送信され、上記サンプリング周期またはセット/リセットを行う論理判定点数の少なくとも一方の値は上記不揮発メモリから上記定数設定レジスタに送信されるので、ON/OFF信号に対する入力インターフェース回路であるノイズフィルタとレベル判定用比較器によって高周波ノイズが除去され、以て、二段構えの可変フィルタによってフィルタ特性が向上し、可変フィルタ制御の負担も軽減されるという効果がある。

【0111】また、請求項3の発明によれば、上記間接入力用インターフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによ

って構成されたアナログ信号用のインターフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャパシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャパシタの出力は、A/D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は上記不揮発メモリから上記定数設定レジスタに送信されるので、アナログ信号に対する入力インターフェース回路であるクリップダイオードとノイズフィルタによって高振幅ノイズ・高周波ノイズが除去され、以て、二段構えの可変フィルタによってフィルタ特性が向上し、可変フィルタ制御の負担も軽減されるという効果がある。

【0112】また、請求項4の発明によれば、上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インターフェース回路を介して外部負荷とに供給されるので、マイクロプロセッサの直接出力端子を削減して、マイクロプロセッサを一層小型・安価なものにできるという効果がある。

【0113】また、請求項5の発明によれば、上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であるので、シリアル通信による応答遅れがあつても、全体制御の上で特段の問題が発生せず、多数の低速・低頻度動作の入力信号に対して確実なノイズ保護を行つたり、マイクロプロセッサの入出力端子数の削減・小型化が図れるという効果がある。

【0114】また、請求項6の発明によれば、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するので、全体制御用のマイクロプロセッサの主導・指令のもとで、間接入力処理用集積回路は受動的にフィルタ定数の受信や入力情報の返信を行えばよく、以て、集積回路部分のハードウエア構成が単純化され、小型・安価なものになるという効果がある。

【0115】また、請求項7の発明によれば、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接

出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するので、全体制御用のマイクロプロセッサの主導・指令のもとで、間接入力処理用集積回路は受動的にフィルタ定数・間接出力情報の受信や入力情報の返信を行えばよく、以て、送受信データの種類が増加しても集積回路部分のハードウエア構成が単純化され、小型・安価なものになるという効果がある。

【0116】また、請求項8の発明によれば、上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに続いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するので、マイクロプロセッサは特定の間接入力情報を随時取得することができ、以て、シリアル通信による応答遅れがあつても、特定間接入力の最新状態を監視することができるという効果がある。

【0117】さらに、請求項9の発明によれば、上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納するので、マイクロプロセッサの運転動作中であつても、一部のフィルタ定数の変更が可能となり、学習制御等によるフィルタ定数の最適化制御が行え、また、マイクロプロセッサの運転中においては、多数のフィルタ定数を一括転送することは時間的に困難となるが、特定のフィルタ定数のみを送信することにより、この問題に対応することができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1を示す全体のブロック回路図である。

【図2】 図1におけるON/OFF信号用可変フィルタを示すブロック回路図である。

【図3】 図1におけるアナログ信号用可変フィルタを示すブロック回路図である。

【図4】 図1におけるシリアル通信フレーム構成を示す図である。

【図5】 図1の動作説明用フローチャートである。

【図6】 この発明の実施の形態2によるON/OFF信号用可変フィルタを示すブロック回路図である。

【図7】 この発明の実施の形態3によるアナログ信号

用可変フィルタを示すブロック回路図である。

【図8】 従来の電子制御装置の全体を示すブロック回路図である。

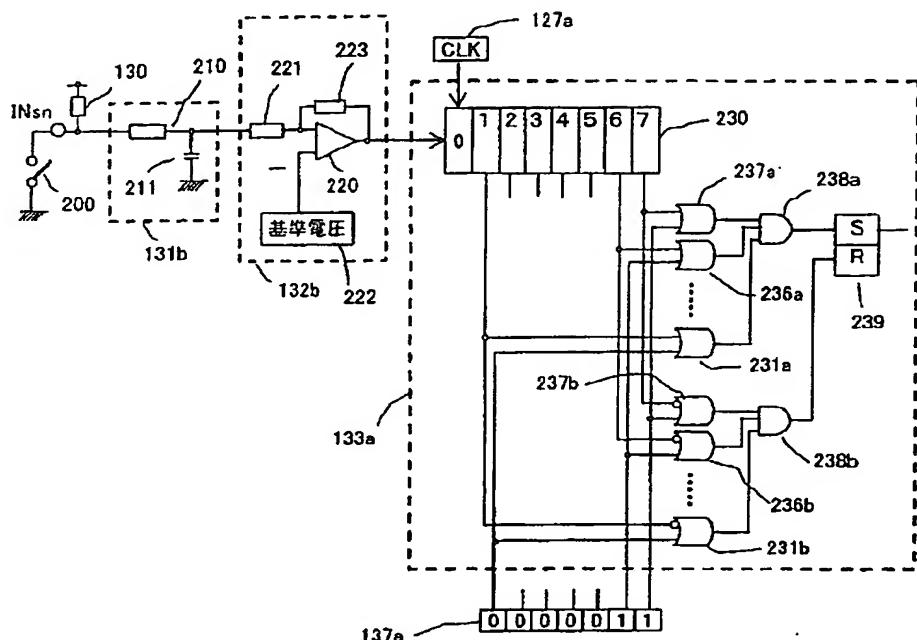
【符号の説明】

100 ECU(車載電子制御装置)、106 外部ツール、111 マイクロプロセッサ、112 不揮発メモリ、113 RAMメモリ、116直並列変換器(シリアル通信回路)、118 データバス、120 第二LSI(集積回路)、125 出力ラッチメモリ、126 直並列変換器(シリアル通信回路)、129 通信制御回路、130 ブリーダ抵抗、131a ノイズフィルタ(直接入力インターフェース回路)、131b ノイズフィルタ(間接入力インターフェース回路)、132a レベル判定用比較器(直接入力インターフェース回路)、132b レベル判定用比較器(間接入力インターフェース回路)

フェース回路)、133a, 133b 可変フィルタ回路、134a 出力トランジスタ(直接出力インタフェース回路)、134b 出力トランジスタ(間接入力インタフェース回路)、135 ノイズフィルタ(間接入力インタフェース回路)、136a, 136b 可変フィルタ、137a~137c 定数設定レジスタ、138A/D変換器、141 帯域フィルタ(直接入力インタフェース回路)、200入力スイッチ、210 直列抵抗、211 小容量コンデンサ、239 入力確定レジスタ、300 クリップダイオード(正側)、301 クリップダイオード(負側)、303 小容量コンデンサ、312 切換スイッチ、313スイッチトキャバシタ、603a 定数設定レジスタ、605 入力確定レジスタ。

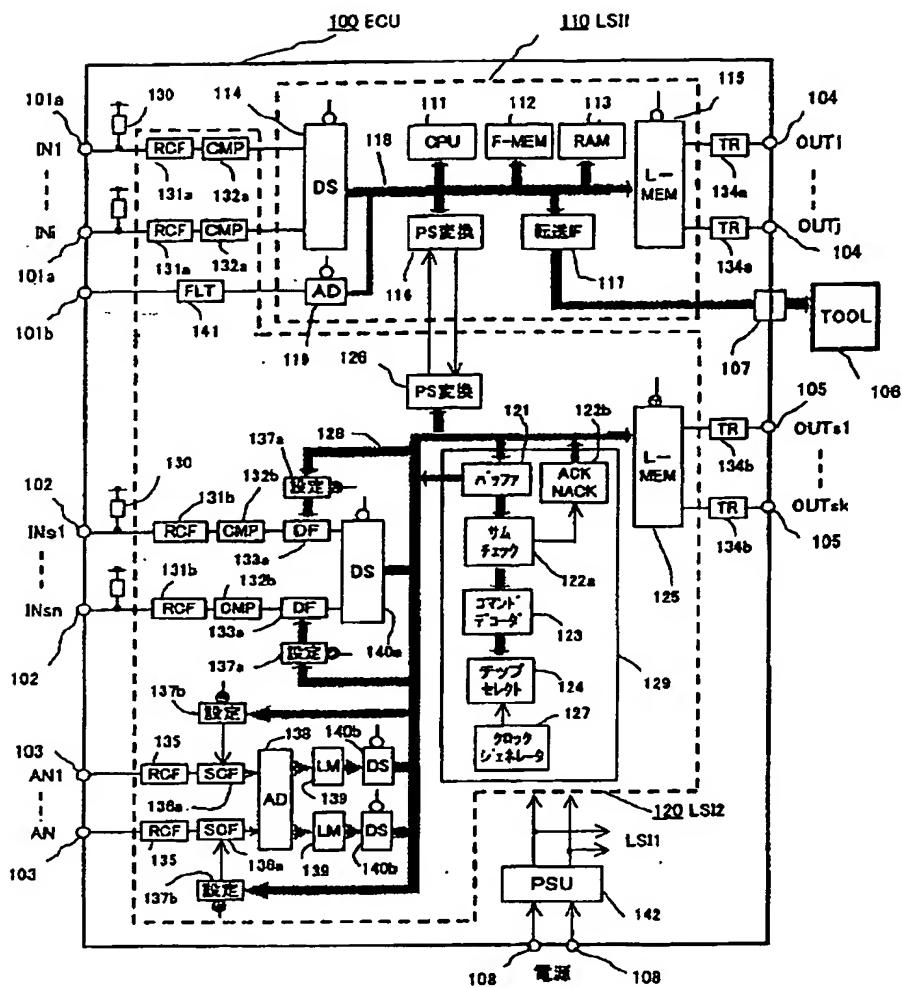
〔図2〕

ON/OFF フィルタ



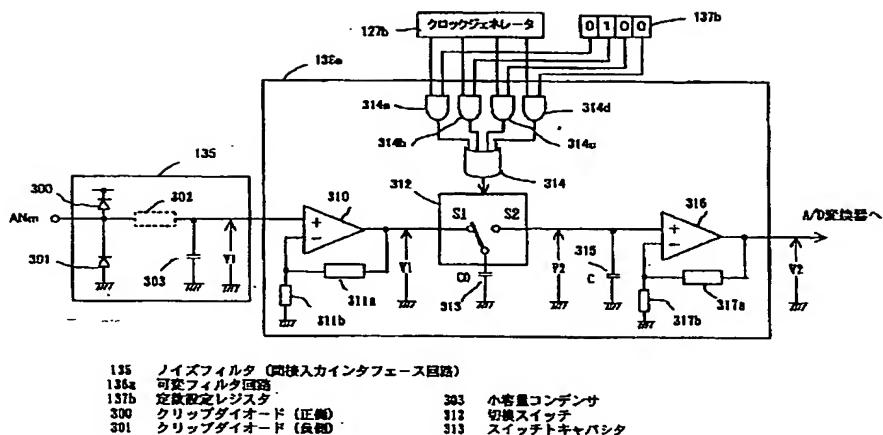
130 ブリーダ抵抗
 131b ノイズフィルタ (間接入力インタフェース回路)
 132b レベル判定用比較器 (間接入力インタフェース回路)
 133a 可変フィルタ回路
 137a 定数設定レジスタ
 200 入力スイッチ
 210 並列抵抗
 211 小容量コンデンサ
 239 入力確定レジスタ

【 1】

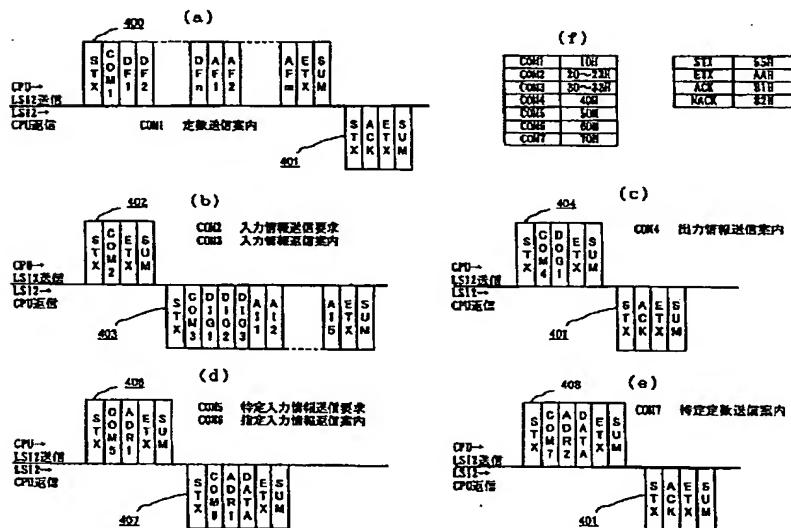


100	ECU (車載電子制御装置)	132b	レベル判定用比較器
106	外部ツール	133a	間接入力インタフェース回路
111	マイクロプロセッサ	134a	可変フィルタ回路
112	不揮発メモリ	134b	出力トランジスタ
113	RAMメモリ	134b	(直接出力インタフェース回路)
118	データバス	134b	出力トランジスタ
120	第二LSI (集積回路)	135	(間接出力インタフェース回路)
125	出力ラッチメモリ	141	ノイズフィルタ
129	通信制御回路	141	(間接入力インタフェース回路)
130	ブリーダ抵抗	136a	帯域フィルタ
131a	ノイズフィルタ	137a	(直接入力インタフェース回路)
	(直接入力インタフェース回路)	137b	可変フィルタ回路
131b	ノイズフィルタ	137b	定数設定レジスタ
	(間接入力インタフェース回路)	138	定数設定レジスタ
132a	レベル判定用比較器	116, 126	A/D変換器
	(直接入力インタフェース回路)		直並列変換器 (シリアル通信回路)

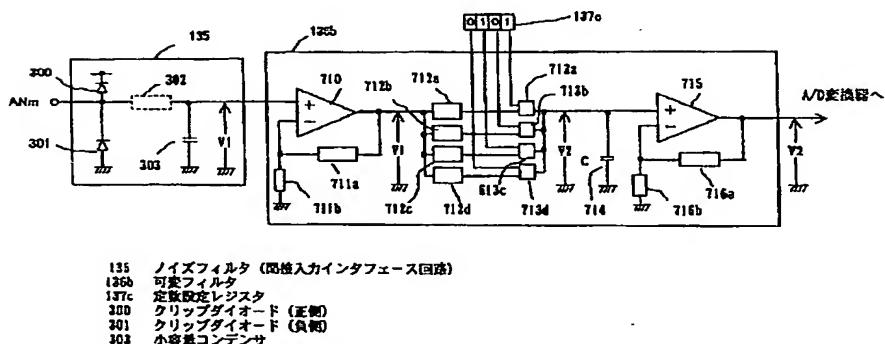
【図3】



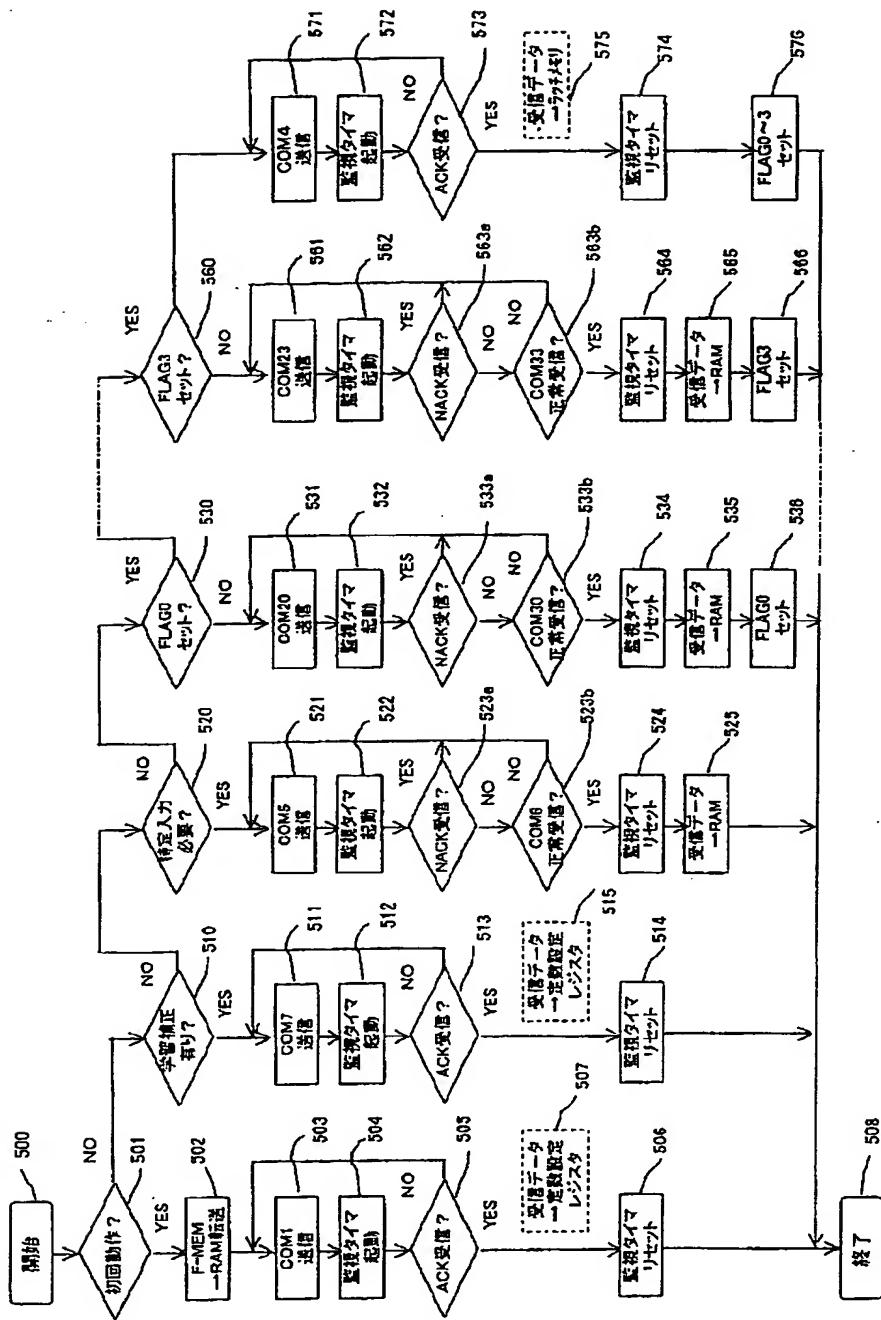
【図4】



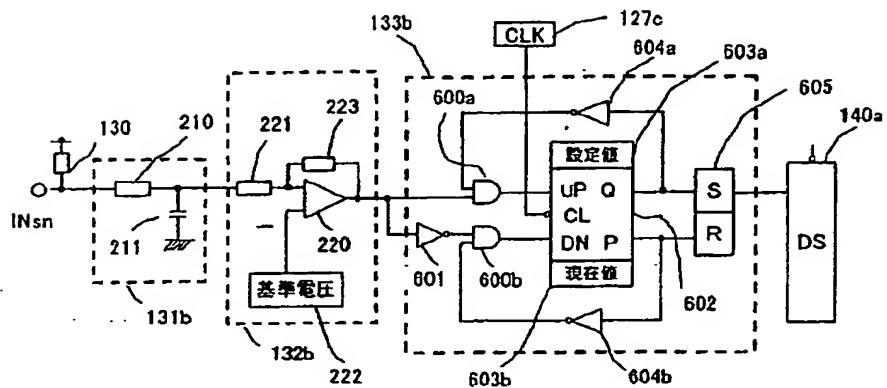
【図7】



【図5】

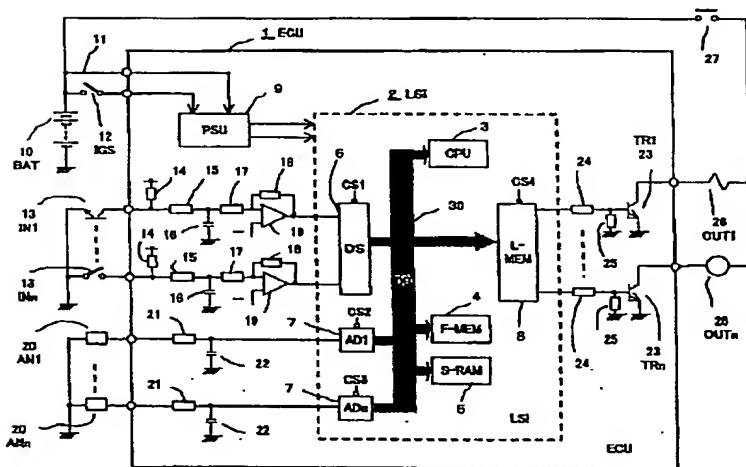


【図6】



130 ブリーダ抵抗
 131b ノイズフィルタ (間接入力インターフェース回路)
 132b レベル判定用比較器 (間接入力インターフェース回路)
 133b 可変フィルタ回路
 210 直列抵抗
 211 小容量コンデンサ
 603a 定数設定レジスタ
 605 入力確定レジスタ

【図8】



フロントページの続き

(72)発明者 橋本 光司
 東京都千代田区大手町二丁目6番2号 三
 菓電機エンジニアリング株式会社内

(72)発明者 後閑 博
 東京都千代田区丸の内二丁目2番3号 三
 菓電機株式会社内
 Fターム(参考) 3G084 DA13 EA03 EB01 EB06 FA20
 5H215 AA10 BB03 BB05 BB07 CC05
 CX05 EE02 EE04 EE08 GG02